IOSUD - Universitatea Politehnica Timişoara
Şcoala Doctorală de Studii Inginereşti

Metodologii de modelare sintetizabilă pentru prototiparea pe FPGA a sistemelor analogice și de semnal mixt

Teză de doctorat – Rezumat

pentru obținerea titlului științific de doctor la
Universitatea Politehnica Timișoara
în domeniul de doctorat Inginerie Electronică, Telecomunicații și Tehnologii Informaționale

autor ing. Elisei Ștefan ILIEȘ
conducător științific Prof.univ.dr.ing. Aurel GONTEAN

luna 07 anul 2026

Această teză de doctorat abordează dezvoltarea și validarea metodologiilor de modelare sintetizabilă pentru prototiparea pe bază de FPGA a sistemelor analogice și cu semnal mixt. Pe măsură ce circuitele integrate moderne continuă să crească în complexitate, verificarea tradițională bazată pe simulare devine din ce în ce mai limitată din cauza timpilor lungi de execuție, în special atunci când componentele analogice și cu semnal mixt trebuie incluse în fluxul de validare. Prototiparea bazată pe FPGA oferă o alternativă practică, permițând execuția hardware de mare viteză și co-validarea software/hardware timpurie. Cu toate acestea, blocurile analogice și cu semnal mixt nu pot fi implementate direct pe structura FPGA și, prin urmare, necesită modele comportamentale sintetizabile care să păstreze comportamentul relevant la nivel de sistem, rămânând în același timp adecvate pentru implementarea hardware.

Teza trece mai întâi în revistă abordările existente pentru prototiparea hardware și emularea în timp real a sistemelor analogice și cu semnal mixt. Metodologiile analizate includ co-simularea hardware/software, modelarea HDL personalizată, mediile specializate de sinteză automată, fluxurile bazate pe Simulink/HDL Coder, sinteza de nivel înalt (High-Level Synthesis) și rețelele analogice programabile (Field Programmable Analog Arrays). Această analiză subliniază faptul că nu există o abordare de modelare universală; în schimb, metodologia optimă depinde de structura sistemului țintă, de modelul de referință disponibil, de precizia necesară, de efortul de dezvoltare acceptabil și de constrângerile impuse de implementarea pe FPGA.

Ca studiu de caz inițial, filtrele CIC sunt analizate ca exemple de blocuri de procesare digitală a semnalelor bine structurate, pentru care generarea automată sau semi-automată de cod HDL poate fi eficientă. IP-ul producătorului, codul HDL generat în MATLAB și o implementare open-source sunt comparate în ceea ce privește utilizarea resurselor, frecvența de operare, flexibilitatea și echivalența funcțională. Rezultatele arată că astfel de arhitecturi regulate pot fi generate eficient folosind lanțurile de unelte existente, necesitând totuși o evaluare atentă a compromisurilor dintre configurabilitate și eficiența hardware.

Primul studiu de caz principal pentru semnal mixt este convertorul analog-digital AD9236. Este dezvoltat un model SystemVerilog cu numere reale pentru a reproduce comportamentul relevant la nivel de fișă tehnică (datasheet) al convertorului, incluzând scalarea intrării diferențiale, codificarea selectabilă

a ieșirii, gestionarea referinței, detecția depășirii de interval (out-of-range), operarea cu consum redus (power-down), comportamentul la pornire (wake-up) și latența de pipeline de șapte cicluri. Acest model cu numere reale este validat în raport cu modelul comportamental oficial din MATLAB oferit de Analog Devices, folosind stimuli identici și condiții de eșantionare coerentă. Comparația confirmă că modelul propus reproduce corect comportamentul de transfer de bază al ADC-ului, extinzând totodată funcționalitatea modelată dincolo de referința din MATLAB prin includerea unor caracteristici de control la nivel de sistem, precum funcțiile OTR și power-down.

Modelul AD9236 este apoi tradus într-o implementare SystemVerilog în virgulă mobilă complet sintetizabilă, folosind blocurile aritmetice Synopsys DesignWare. Tranziția de la semnale cu valori reale la vectori logici sintetizabili hardware a necesitat selectarea unui format personalizat și compact în virgulă mobilă, înlocuirea expresiilor aritmetice de nivel înalt cu operatori expliciți în virgulă mobilă și inserarea registrelor de pipeline pentru a asigura constrângerile de timp (timing closure) pe FPGA-ul țintă. Formatul inițial E5M11 s-a dovedit a fi insuficient, producând un comportament de tip cod-lipsă (missing-code) și reducând rezoluția efectivă a ADC-ului. Prin creșterea lățimii mantisei la E5M12, implementarea finală a eliminat problema codurilor lipsă, a obținut închiderea timpilor la 80 MHz, a păstrat latența de șapte cicluri și a atins un SNR de 74,03 dB, aproape de limita teoretică a unui ADC pe 12 biți. Implementarea E5M12 optimizată a necesitat 1217 LUT-uri, 161 de registre și 5 blocuri DSP48 pe platforma HAPS-100-1F.

Al doilea studiu de caz principal se concentrează pe celulele solare sensibilizate cu colorant (DSSC). Mai întâi a fost dezvoltat, ca referință, un model SPICE pentru DSSC dependent de temperatură. DSSC-ul este reprezentat printr-un circuit echivalent cu o singură diodă, cu rezistențe serie și paralel (shunt), iar cei cinci parametri ai modelului său sunt extrași din măsurători experimentale folosind algoritmi de căutarea a minimului global. Parametrii extrași sunt apoi adaptați ca funcții analitice de temperatură, incluzând comportamentul punctelor de inflexiune (breakpoint) reprezentat prin funcția logistică sigmoid. Modelul SPICE rezultat reproduce comportamentul DSSC măsurat în intervalul 20–60 °C, eroarea relativă la punctul de putere maximă rămânând sub 2%. Acest model SPICE validat servește drept referință pentru implementările sintetizabile ulterioare ale DSSC.

Sunt propuse și evaluate două abordări distincte de modelare DSSC sintetizabilă pe FPGA. Prima abordare, denumită DSSC_FP, este o implementare SystemVerilog în virgulă mobilă bazată pe ecuații. Deoarece ecuația DSSC este neliniară și conține curentul necunoscut în interiorul unui termen exponențial, curentul este calculat folosind un algoritm iterativ prin metoda bisecției. Modelul separă calculul coeficienților dependenți de temperatură de procesul iterativ de rezolvare a curentului prin utilizarea unui pipeline termic și a unui pipeline reutilizabil de evaluare a funcțiilor, controlat de o mașină cu stări finite. Sunt introduse mai multe optimizări orientate spre hardware, inclusiv o formă de interpolare extinsă pentru a evita anularea catastrofală și o împărțire la doi optimizată, implementată prin decrementarea directă a exponentului.

Sunt evaluate multiple formate în virgulă mobilă pentru implementarea DSSC_FP. Formatele cu precizie redusă, precum FP_E5M10, FP_E7M16 și FP_E8M7, nu oferă o precizie suficientă, în timp ce formatele cu precizie mai mare, precum FP_E8M23 și FP_E11M52, cresc semnificativ costul hardware fără o îmbunătățire utilă a preciziei. Configurația FP_E8M14 cu 13 iterații de bisecție este selectată drept cel mai bun compromis precizie–resurse–latență. Aceasta obține o eroare medie absolută de 21,50 µA, o eroare medie pătratică (RMSE) de 28,81 µA, o eroare absolută maximă de 102,81 µA și o eroare relativă

medie filtrată la percentila 99 (P99) de 0,684%, cu o latență de 1809,484 ns și o frecvență de operare de aproximativ 42 MHz.

A doua abordare DSSC, denumită DSSC_NN, înlocuiește soluția explicită a ecuației neliniare cu o aproximare printr-o rețea neuronală antrenată pe date generate în SPICE. O rețea neuronală cu două intrări (temperatură și tensiune) și o ieșire (curent) este antrenată folosind 450.000 de eșantioane generate din modelul SPICE de referință. Modelul antrenat este optimizat pentru implementarea hardware prin integrarea normalizării intrării în primul strat dens și absorbția de-scalării ieșirii în stratul final. Rețeaua neuronală este apoi convertită într-o implementare FPGA în virgulă fixă folosind hls4ml și Vitis HLS, cu setări de precizie specifice fiecărui strat și factori de reutilizare selectați prin profilarea ponderilor și a activărilor.

Modelul DSSC_NN este validat folosind același set de date de 8200 de puncte ca și modelul DSSC_FP. Acesta obține o eroare medie absolută de 7,72 µA, un RMSE de 11,38 µA, o eroare absolută maximă de 81,21 µA și o eroare relativă medie filtrată P99 de 0,156%. Implementarea hardware atinge aproximativ 180 MHz, cu o latență de 269 cicluri de ceas, corespunzând la 1494,564 ns. Implementarea necesită 37896 LUT-uri, 32585 de registre și 141 de blocuri DSP48. Aceste rezultate arată că abordarea bazată pe rețea neuronală oferă o precizie numerică mai mare și o latență absolută mai mică decât implementarea în virgulă mobilă bazată pe ecuații selectată, dar cu costul unei utilizări semnificativ mai mari a resurselor FPGA.

Analiza comparativă între DSSC_FP și DSSC_NN evidențiază două strategii complementare de modelare. Modelul DSSC_FP oferă interpretabilitate fizică explicită, control direct al parametrilor, consum mai mic de resurse și suprafețe de eroare mai netede, făcându-l adecvat atunci când transparența și parametrizabilitatea sunt esențiale. În contrast, modelul DSSC_NN oferă o precizie mai mare, o frecvență de operare superioară, o latență absolută de inferență mai mică și un flux de modelare mai automatizat, dar necesită mai multe resurse FPGA și trebuie reantrenat dacă modelul SPICE de referință se modifică. Prin urmare, alegerea dintre cele două abordări depinde de aplicația țintă și de importanța relativă a preciziei, utilizării resurselor, latenței, interpretabilității și efortului de dezvoltare.

Studiul de caz AD9236 confirmă că un comportament de ADC la nivel de fișă tehnică poate fi tradus într-o implementare compactă și sintetizabilă în virgulă mobilă, păstrând în același timp caracteristicile funcționale și de timp. Studiul de caz DSSC demonstrează că un comportament fotovoltaic neliniar dependent de temperatură poate fi implementat în hardware-ul FPGA fie printr-un algoritm iterativ în virgulă mobilă bazat pe ecuații, fie printr-o aproximare cu rețea neuronală în virgulă fixă. Metodologiile propuse oferă alternative practice pentru validarea de tip hardware-in-the-loop, explorarea designului și integrarea viitoare a modelelor analogice și cu semnal mixt în sisteme complete de prototipare bazate pe FPGA.